

METHOD FOR SEMICONDUCTOR THIN FILM

Patent Number: JP62171161
Publication date: 1987-07-28
Inventor(s): SUKEGAWA OSAMU
Applicant(s): NEC CORP
Requested Patent: ☐ JP62171161
Application Number: JP19860013105 19860123
Priority Number(s):
IPC Classification: H01L29/78; H01L21/20; H01L27/12
EC Classification:
Equivalents: JP1938538C, JP6069098B

Abstract

PURPOSE: To inhibit problems, such as the deterioration in electrical characteristics due to the mixing of impurities, the lowering of the controllability of an etching process, etc., by forming an insulator layer on a transparent conductive film, shaping a contact hole in the insulator layer and forming a semiconductor thin film onto the insulator layer.

CONSTITUTION: An insulating film 2 is formed onto a transparent conductive film 1. A contact hole 3 is bored to the insulating film 2 in drain and source electrode sections for a TFT, and an n<+>-a-Si layer 4 is laminated onto the insulating film 2, and brought into contact electrically with the transparent conductive film 1 in the contact hole 3 section. The contact holes are shaped only at the positions of shaped parts as the drain and source electrode sections for the TFT in a drain wiring section 9 and a source wiring section. Since the contact holes are bored where required for electrical contacts and a semiconductor film is shaped, the area of the transparent conductive film exposed to plasma at the formation of the semiconductor film is inhibited at the irreducible minimum of a demand, thus reducing the quantities of impurities (IN, Sn, etc.) taken into the semiconductor film.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭62-171161

⑤Int.Cl. ⁴	識別記号	庁内整理番号	⑬公開 昭和62年(1987)7月28日
H 01 L 29/78		8422-5F	
21/20		7739-5F	
27/12		7514-5F	
// G 02 F 1/133	3 2 7	8205-2H	
G 09 F 9/35	3 0 1	6731-5C	審査請求 未請求 発明の数 1 (全3頁)

⑭発明の名称 半導体薄膜の形成方法

⑯特 願 昭61-13105

⑰出 願 昭61(1986)1月23日

⑱発 明 者 助 川 統 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体薄膜の形成方法

2. 特許請求の範囲

透明導電膜上に絶縁物の層をもうけ、該絶縁物の層にコンタクトホールをもうけ、しかる後に該絶縁物の層上に半導体薄膜を形成することを特徴とする半導体薄膜の形成方法。

3. 発明の詳細な説明

本発明は、半導体薄膜の形成方法に関し、特に透明導電膜上に半導体薄膜を形成する方法に関する。

〔従来の技術〕

ITO等に代表される透明導電膜は、その可視光透過性、低抵抗性の故、液晶ディスプレイ駆動用薄膜トランジスタ、イメージセンサーなどの電極として用いられる。

第3図は順スタガー型と呼ばれるアモルファスシリコン(a-Siと以下略す)薄膜トランジスタ(以下TFETと略す)の断面図を示しており、この薄膜トランジスタは以下の工程によって作成される。ドレインおよびソース電極(画素電極)となる透明導電膜1をガラス基板上に形成し、次にオーミックコンタクトをとるためのn⁺-a-Si層4を形成し、ドレイン・ソースのパターンニングの後、n⁺-a-Si層4および透明導電膜1のエッチングを行ってドレインおよびソース電極を形成し、次に活性層となるi-a-Si層5、ゲート絶縁膜6、ゲート電極7の成膜を行ない、ゲート電極7のパターンニングの後、ゲート電極7、ゲート絶縁膜6、iおよびn⁺-a-Siのエッチングを行う。

このプロセスにおいて、n⁺-a-Si層4、i-a-Si層5、ゲート絶縁膜6は基板として安価なソーダガラスを用いられる様に、低温で薄膜形成が可能ナプラズマCVD法によって形成される。

〔発明が解決しようとする問題点〕

上述した従来の薄膜トランジスタのドレイン・ソース電極部は、一様に存在する透明導電膜上に n^+-a-Si 層を形成するため、形成時に透明導電膜の構成原子である In, Sn がプラズマのスパッタ作用により多量に n^+-a-Si 層に取り込まれることが確認されており、デバイスの性能を劣化させる要因となる。

さらに n^+-a-Si 中に In, Sn 等が混入するとその割合により n^+-a-Si 層のエッチングレートが変化しエッチングプロセスの制御性を低下させるという欠点がある。

〔問題点を解決するための手段〕

本発明の半導体薄膜の形成方法は、透明導電膜の上に薄い絶縁膜をもつて、透明導電膜と以降に形成する n^+-a-Si の間で電気的接触を取る部分については、上記絶縁膜にコンタクトホールをもつて、しかる後に上記絶縁膜上に n^+-a-Si 等の半導体薄膜を形成することを特徴とする。

〔実施例〕

第1図は、本発明の一実施例の順スタガー型

劣化、エッチングプロセス制御性の低下等の問題を抑制することが可能となる。

4. 図面の簡単な説明

第1図は発明の一実施例による順スタガー型TFTの断面図、第2図は第1図における絶縁層コンタクトホールの平面図、第3図は従来の順スタガー型TFTの断面図。

1……透明導電膜、2……絶縁層、3……コンタクトホール、4…… n^+-a-Si 層、5…… $i-a-Si$ 層、6……ゲート絶縁膜、7……ゲート電極、8……ゲート配線部、9……ドレイン配線部、10……ソース配線部。

代理人 弁理士 内 原 晋

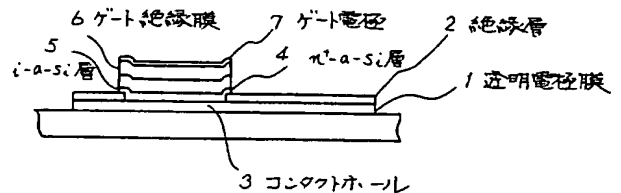
TFTの断面図である。透明導電膜1の上に絶縁膜2が設けられている。TFTのドレインおよびソース電極部には、絶縁膜2にコンタクトホール3が設けられており、絶縁膜2上に n^+-a-Si 層4が積層され、コンタクトホール3の部分で透明導電膜1と電気的接触がとられる。

第2図はコンタクトホールの位置を示す平面図であり、ドレイン配線部9およびソース配線部のうちTFTのドレインおよびソース電極部となる斜線部の位置にのみコンタクトホールが設けられている。

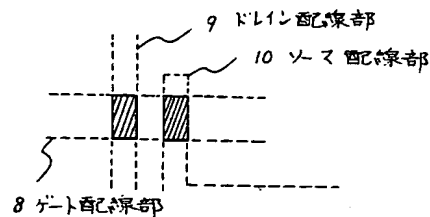
〔発明の効果〕

以上説明したように本発明は、透明導電膜をもつて電気的な接触の必要な個所にコンタクトホールを明け、その後半導体膜を成膜することにより、半導体膜成膜時にプラズマにさらされる透明導電膜の面積は、必要最少限に抑えられるため、半導体膜中にとりこまれる不純物(In, Sn 等)の量を少なくすることができる。

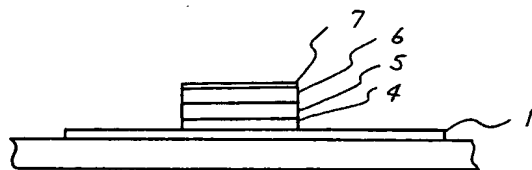
従って前述した不純物混入による電気的特性の



第 1 図



第 2 図



第 3 図